

PATENT ABSTRACTS OF JAPAN

(1)Publication number : 10-106808

(43)Date of publication of application :24.04.1998

(51)IntCl

H01C 7/04
H01C 1/148

(21)Application number :08-255772

(71)Applicant :TDK CORP

(22)Date of filing : 27.09.1996

(72)Inventor : TAKEUCHI GORO

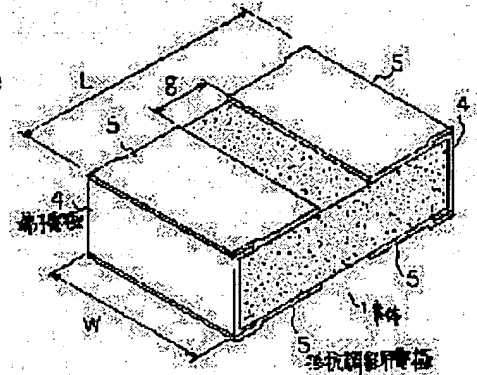
(54) CHIP NTC THERMISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide at a low cost a chip NTC thermistor which exhibits small tolerances of resistance, a large B constant and a low resistance in response to a smaller space between electrodes consequent on the decrease of the size of the thermistor.

SOLUTION: A rectangular parallelepiped thermistor element 1 is provided with terminal electrodes 4 formed by a dip method at both ends. Electrodes 5 for resistance adjustment are formed by screen printing method on both rectangle major surfaces of the thermistor element 1. The electrodes 5 are connected respectively to the terminal electrodes 4 and have protrusions over the terminal electrodes 4.

The resistance of the thermistor is set by a spacing between the electrodes 5 for resistance adjustment.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C):1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-169821

(P2000-169821A)

(43) 公開日 平成12年6月20日 (2000.6.20)

(51) Int.Cl. ⁷	識別記号	F I	チーコード (参考)
C 0 9 J 163/00		C 0 9 J 163/00	
C 0 8 F 2/50		C 0 8 F 2/50	
299/00		299/00	
C 0 8 G 59/68		C 0 8 G 59/68	
C 0 9 J 9/02		C 0 9 J 9/02	
審査請求 未請求 請求項の数 7 O L (全 6 頁) 最終頁に続く			

(21) 出願番号	特願平11-139495	(71) 出願人	000132403 株式会社スリーボンド 東京都八王子市狭間町1456番地
(22) 出願日	平成11年5月19日 (1999.5.19)	(72) 発明者	富岡 英一 東京都八王子市狭間町1456株式会社スリーボンド内
(31) 優先権主張番号	特願平10-276297	(72) 発明者	堀江 賢一 東京都八王子市狭間町1456株式会社スリーボンド内
(32) 優先日	平成10年9月30日 (1998.9.30)	(72) 発明者	奈良 秀文 東京都八王子市狭間町1456株式会社スリーボンド内
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 紫外線硬化性異方導電接着剤

(57) 【要約】

【課題】 紫外線硬化性異方導電接着剤を完全硬化させる工程の前に、予め紫外線を当該異方導電接着剤に照射しておき、光活性オニウム塩からカチオン塩を生成させて当該異方導電接着剤がリビング重合するようにして、低い硬化温度でもまたは陰影部の箇所でも当該異方導電接着剤が完全硬化するようにする。

【解決する手段】 a) 1分子中にグリニル基を少なくとも2つ以上含むエポキシ樹脂化合物と、b) 光活性オニウム塩と、c) 導電性微粒子と、d) アルコキシシラン化合物を少なくとも必須成分とするペースト状もしくはシート状の紫外線硬化性異方導電接着剤にする。

【特許請求の範囲】

【請求項1】直方体状をなすサーミスタ素体の両端部にディップ方式により形成された端子電極を有し、

前記サーミスタの矩形状をなす両主面に、スクリーン印刷法により、前記各端子電極に接続され、かつ端子電極よりも相手側電極方向に突出して形成された抵抗調整用電極を有することを特徴とするチップ形NTCサーミスタ、

【請求項2】請求項1において、主面において互いに対向する抵抗調整用電極間の間隔 g を、

$0.1\text{mm} \leq g \leq L-0.2\text{mm}$ （ただし L は抵抗調整用電極の対向方向のサーミスタの寸法）の範囲に設定したことを特徴とするチップ形NTCサーミスタ、

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、抵抗公差が小さく、かつ抵抗温度変化率（以下B定数と称す）が大きい低抵抗のチップ形NTCサーミスタに関する。

【0002】

【従来の技術】近年、電子部品の小型化に伴い、チップ形NTCサーミスタにおいてもチップの小型化の要求が高くなっている。チップ形NTCサーミスタには、単板タイプのものと同層タイプがあるが、いずれにしても、チップ形NTCサーミスタには、プリント回路基板パターン等に半田付けにより電気的に接続するとともに機械的に固定するために、端子電極がチップ（サーミスタ素体）の両端部に形成される。

【0003】この端子電極の形成は、従来、図4の工程図に示すように、ディップ方式により形成されていた。すなわち、図4（A）に示すように、サーミスタ焼成済基板1Aを縦横の切断線 a 、 b に沿って切断することにより、図4（B）に示すような単品のチップ、すなわちサーミスタ素体1を得、図4（C）に示すように、該素体1の一端を端子電極ペースト2にディップして該ペーストを塗布し、続いて図4（D）のように他端部も端子電極ペースト2にディップして該ペーストを塗布し、焼成することにより、図4（E）に示すように、素体1の両端に端子電極3が形成されたサーミスタを得る。このようなチップ形NTCサーミスタにおいては、端子電極3、3間の間隔 g によってサーミスタとしての抵抗値が決定される。

【0004】

【発明が解決しようとする課題】しかし、このようなサーミスタの小型化に伴い、端子電極3、3間が狭くなり、従来のように、ディップ方式によって端子電極3、3の間隔を設定する場合は、特開平4-177705号公報に記載のように、端子電極3、3の間隔 g を極端に狭くしようとすると、両端子電極3、3間が短絡を起こして歩留りを悪くし、製品コストを高くするという問題

点がある。また、ディップ方式によって端子電極3を形成する場合、サーミスタの抵抗値がばらつくため、両端子電極3、3間の間隔 g を高精度で形成することができなくなり、特開平4-177706号公報にも記載されているように、抵抗値を所定の公差内におさえるために端子電極3をトリミングする等の工程が必要となり、これにより製品コストがさらに高くなるという問題点がある。

【0005】本発明は、上記問題点に鑑み、サーミスタの小型化に伴う電極間隔の狭小化に応え、抵抗公差が小さく、B定数が大きく低抵抗のチップ形NTCサーミスタを、低コストで提供することを目的とする。

【0006】

【課題を解決するための手段】この目的を達成するため、本発明のチップ形NTCサーミスタは、直方体状をなすサーミスタ素体の両端部にディップ方式により形成された端子電極を有し、前記サーミスタの矩形状をなす両主面に、スクリーン印刷法により、前記各端子電極に接続され、かつ端子電極よりも相手側電極方向に突出して形成された抵抗調整用電極を有することを特徴とする（請求項1）。

【0007】また、本発明において、主面において互いに対向する抵抗調整用電極間隔 g を、好ましくは、 $0.1\text{mm} \leq g \leq L-0.2\text{mm}$ （ただし L は抵抗調整用電極の対向方向のサーミスタの寸法）の範囲に設定する（請求項2）。

【0008】

【作用】請求項1においては、スクリーン印刷法において予め設定される抵抗調整用電極の間隔によりサーミスタの抵抗値が決定されるが、スクリーン印刷法による場合には、ディップ方式に比較し、電極間隔、すなわちサーミスタの抵抗値を高精度に設定できる。また、電極間隔、抵抗値の精度の向上により、両電極間隔を小さく設定することができ、B定数が大きく、低抵抗のチップ形NTCサーミスタが得られ、小型化も容易となる。

【0009】請求項2においては、抵抗調整用電極の間隔を 0.1mm 以上に設定したことにより、短絡不良の発生を防止できる。また、端子電極を素体の端面のみに形成するように設定した場合であっても、端子電極のディップによる形成を行った場合、ディップによる電極形成精度上、端面より主面上 0.1mm 程度の内部まで端子電極が形成される可能性があり、両端で合計 $0.1\text{mm} \times 2 = 0.2\text{mm}$ 程度は主面が端子電極によって覆われる可能性があるため、抵抗調整用電極間の最大間隔は $L-0.2\text{mm}$ とする。

【0010】

【発明の実施の形態】

【実施例1】図1は本発明によるチップ形NTCサーミスタの一実施例を示す斜視図である。1は例えば Mn-Co-Cu 系金属元素を主成分とした直方体状をなすN

TCサーミスタ素体、4は該素体1の両端部にディップ方式により形成した端子電極、5は各端子電極4に一端が接続されるように、矩形状をなす両主面にスクリーン印刷法により形成した抵抗調整用電極であり、対向する抵抗調整用電極5、5間の間隔 g によりサーミスタの抵抗値が調整される。これらの電極4、5は例えば銀あるいは銀-パラジウムからなる。

【0011】図2、図3は本実施例のサーミスタの製造工程を示すもので、まず図2(A)に示すように、Mn-Cu-Cu系金属元素を主成分としたNTCサーミスタ焼成済基板1Aを線 a に沿って切断することにより、図2(B)に示すように、最終製品の数個分に相当する短冊状の中間製品である素体1Bを得る。

【0012】次に図2(C)、(D)に示すように、この素体1Bの長辺となる両側部を、主成分が銀または銀-パラジウムである端子電極ペースト2にディップして該ペースト2を塗布し、100℃、5分で乾燥することにより、図3(A)に示すように、端子電極4を形成した。

【0013】次に、図3(B)に示すように、まず素体1Bの片方の主面 c に、サーミスタとして所定の抵抗値を得るための抵抗調整用電極5をスクリーン印刷法により、主面 c 上で間隔 g を持たせ、かつ各々の抵抗調整用電極5の片側を端子電極4に重ねることにより接続して形成する。続いて図3(C)に示すように素体1Bを反転させて反対側の主面 d にも抵抗調整用電極5を形成する。該抵抗調整用電極5としては、端子電極4と同じ銀または銀-パラジウムを主成分とするペーストを用いた。

【0014】このように抵抗調整用電極5を印刷したものを、650℃、10分間で加熱することにより、電極4、5の焼き付けを行った。この焼き付け後の抵抗調整用電極5、5の間隔 g は、抵抗調整用電極5、5の対向*

$\rho_{25}=10\Omega\cdot\text{cm}$, $B_{25}/B_{85}=280\text{K}$ の場合

	特性	電極間距離(9寸法) mm					
		1.2	0.8	0.4	0.2	0.1	0.05
従来	R25(Ω)	203.76	139.13	65.31	32.65	16.33	8.16
	R C.V(%)	2.78	3.41	4.62	↑	↑	↑
	B25/85(K)	2809	2803	2805	↑	↑	↑
	B C.V(%)	0.11	0.10	0.16	↑	↑	↑
本発明	R25(Ω)	211.54	144.60	70.77	40.14	28.76	16.33
	R C.V(%)	1.38	1.58	1.81	1.89	1.94	↑
	B25/85(K)	2808	2803	2810	2803	2806	↑
	B C.V(%)	0.15	0.09	0.11	0.12	0.12	↑

【0020】

* 方向の素体寸法を L として、

$0.1\text{mm} \leq g \leq L-0.2\text{mm}$

とした。

【0015】次に、電極4、5に銀系ペーストを用いていることから、マイグレーション防止のため、図3

(D)に示すように、エポキシ樹脂あるいはガラスでなる保護膜6により、前記主面 c 、 d における抵抗調整用電極5、5間の隙間の部分を覆った。なお、この保護膜6は必要に応じて設けられる。

【0016】次に図3(D)に示す線 b に沿って素体1Bを切断することにより、図3(E)に示す最終単品製品7とした。

【0017】そして従来技術との比較のため、図1におけるサーミスタの抵抗調整用電極5、5の対向方向の寸法 $L=1.6\text{mm}$ 、幅 $W=0.8\text{mm}$ のサイズのものにおいて、素体1として、25℃における比抵抗 $\rho_{25}=10\Omega\cdot\text{cm}$ 、25℃と85℃間におけるB定数 $=2800\text{K}$ の特性のものと、 $\rho_{25}=8000\Omega\cdot\text{cm}$ 、25℃と85℃間におけるB定数 $=4150\text{K}$ の特性のものをを選択し、従来のディップ方式により、図4(E)に示すように、端子電極3、3の間隔 g を1.2mm、0.8mm、0.4mm、0.2mm、0.1mm、0.05mmにそれぞれ設定した場合と、前記実施例のように、抵抗調整用電極5、5間で間隔 g を同様の値にそれぞれ設定した場合の各サーミスタ特性の比較を行った。その結果を表1、表2に示す。

【0018】表1、表2において、R25は25℃におけるサーミスタの抵抗値、R C.V(%)は該抵抗値R25のばらつき、B25/85は前記B定数、B C.V(%)はB定数のばらつきである。(以下空白)

【0019】

【表1】

【表2】

$\rho_{25}=8000\Omega\cdot\text{cm}$, $B25/85=4150\text{K}$ の場合

	特性	電極間距離 (g 寸法) mm					
		1.2	0.8	0.4	0.2	0.1	0.05
従来	R25(Ω)	162.4k	105.7k	49.6k	短絡	短絡	短絡
	R C.V.(%)	2.47	2.68	3.82	↑	↑	↑
	B25/85(K)	4163	4167	4158	↑	↑	↑
	B C.V.(%)	0.14	0.18	0.11	↑	↑	↑
本発明	R25(Ω)	169.3k	107.3k	51.7k	30.1k	22.4k	短絡
	R C.V.(%)	1.52	1.39	1.74	1.63	1.75	↑
	B25/85(K)	4155	4153	4147	4149	4147	↑
	B C.V.(%)	0.07	0.12	0.14	0.09	0.09	↑

【0021】表1、表2から分かるように、従来のディップ方式による場合には、設定される電極間隔gが0.2mm以下になると、短絡不良が発生するが、一方、本発明による場合には、0.1mm以上であれば短絡不良が発生しなかった。また、本発明による場合、抵抗値のばらつき(RC.V(%))が従来品の約1/2となり、高品質のサーミスタが得られた。

【0022】(実施例2) サーミスタの寸法L=1.0*

$\rho_{25}=10\Omega\cdot\text{cm}$, $B25/85=2800\text{K}$ の場合

	特性	電極間距離 (g 寸法) mm				
		0.6	0.4	0.2	0.1	0.05
従来	R25(Ω)	284.30	210.47	短絡	短絡	短絡
	R C.V.(%)	4.25	5.31	↑	↑	↑
	B25/85(K)	2814	2821	↑	↑	↑
	B C.V.(%)	0.17	0.19	↑	↑	↑
本発明	R25(Ω)	302.56	224.82	120.44	86.89	短絡
	R C.V.(%)	1.55	1.68	1.71	1.70	↑
	B25/85(K)	2799	2804	2804	2807	↑
	B C.V.(%)	0.13	0.13	0.15	0.11	↑

【0024】

※ ※ 【表4】

$\rho_{25}=8000\Omega\cdot\text{cm}$, $B25/85=4150\text{K}$ の場合

	特性	電極間距離 (g 寸法) mm				
		0.6	0.4	0.2	0.1	0.05
従来	R25(Ω)	230k	162k	短絡	短絡	短絡
	R C.V.(%)	3.80	4.69	↑	↑	↑
	B25/85(K)	4169	4165	↑	↑	↑
	B C.V.(%)	0.12	0.09	↑	↑	↑
本発明	R25(Ω)	236k	171k	101k	76.7k	短絡
	R C.V.(%)	1.53	1.89	1.47	1.66	↑
	B25/85(K)	4150	4152	4152	4157	↑
	B C.V.(%)	0.11	0.14	0.07	0.14	↑

【0025】表3、表4から分かるように、従来のディップ方式による場合には、設定される電極間隔gが0.2mm以下になると、短絡不良が発生するが、一方、本発明による場合には、0.1mm以上であれば短絡不良が発生しなかった。また、本発明による場合、抵抗値のばらつき(RC.V(%))が従来品の約1/3となり、高品質のサーミスタが得られた。

【0026】なお、上記実施例においては、端子電極4上に抵抗調整用電極5を重ねて形成するようにしたが、抵抗調整用電極5をスクリーン印刷法により形成しておき、その後端子電極4をディップ方式により形成してもよい。また、端子電極4は、抵抗調整用電極5より相手側対向電極側に突出しないのであれば、主面上の所定の箇所に形成してもよく、端子電極4の形成箇所を素体

10*mm、W=0.5mmとしたこと以外は実施例1と同じとし、素体1として、その比抵抗 ρ_{25} 、B定数が前記実施例1と同様の2種類のものを用い、電極間隔gを0.6mm、0.4mm、0.2mm、0.1mm、0.05mmにそれぞれ設定した場合について、前記各特性の比較を行った。その結果を表3、表4に示す。

【0023】

【表3】

1の端面ないしその近傍のみに限定する必要はない。

【0027】

【発明の効果】請求項1によれば、矩形状の素体の両端部に、抵抗調整用電極どうしが対向する先端より後退した箇所にわたって端子電極をディップ方式により形成し、かつ、該端子電極に接続して、抵抗調整用電極をスクリーン印刷法により矩形状をなす両主面に形成し、抵抗調整用電極どうしが両主面において対向するように構成したので、電極間の間隔を精度良く形成することが可能となり、抵抗公差が小さく、かつB定数が大きな低抵抗のチップ形NTCサーミスタを容易に製造することが可能となり、製造コストを低減することが可能となる。また、電極間隔を狭くすることが可能となるので、チップ形NTCサーミスタの小型化が容易となる。

【0028】請求項2によれば、抵抗調整用電極の間隔を0.1mm以上としたことにより、短絡不良を無くし、歩留りを向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明によるチップ形NTCサーミスタの一実施例を示す斜視図である。

【図2】(A)～(D)は本実施例の製造工程の一部を示す図である。

【図3】(A)～(E)は本実施例の製造工程の残部を示す図である。

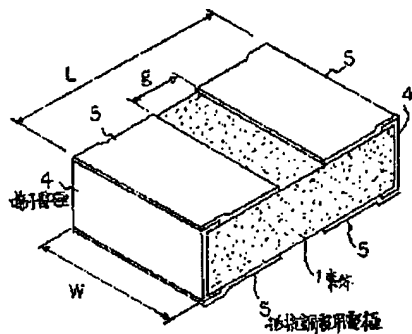
*示す図である。

【図4】(A)～(E)は従来のチップ形NTCサーミスタの製造工程図である。

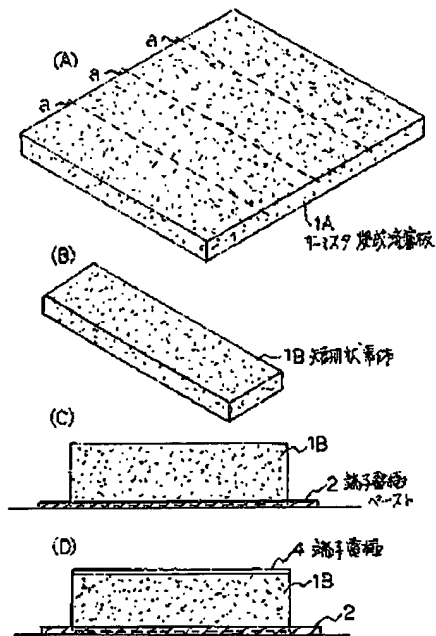
【符号の説明】

1：サーミスタ素体、1A：サーミスタ焼成済基板、1B：短冊状素体、2：端子電極ペースト、4：端子電極、5：抵抗調整用電極、6：保護膜、7：単品製品、g：電極間隔、L：抵抗調整用電極の対向方向の寸法、W：幅

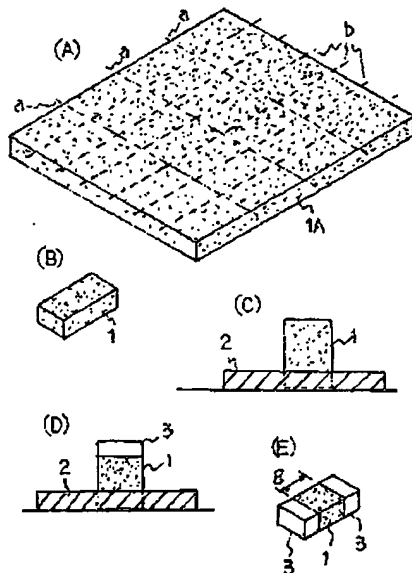
【図1】



【図2】



【図4】



【図3】

